

# Beschreibung der PLL des VCO SRD4000B aus der D-NETZ-Transceiverbaugruppe

efh / OE5VLL

## Verwendete ICs:

MC145152 (im folgenden Text als "PLL-Baustein" bezeichnet)  
Parallel-Input PLL Frequency Synthesizer, interfaces with Dual-Modulus Prescalers (Motorola)

MC14569B  
Programmable Divide-By-N Dual 4-Bit Binary/BCD Down Counter (Motorola)

76P57  
Dual Modulus Prescaler (vermutlich ident mit dem MC12015, beide von Motorola)

MC3303  
Single Supply Quad Operational Amplifiers (Motorola)

78L08  
Spannungsregler für +8 Volt Ausgangsspannung

## Schaltungsprinzip (siehe dazu das Blockschaltbild der PLL):

Zu dieser Beschreibung betrachte man das ebenfalls mitgelieferte Blockschaltbild!

ACHTUNG: Die Platinen unterschiedlicher Baugruppen können für andere Frequenzen verdrahtet sein!  
Diese Beschreibung gilt im Detail nur für die vorliegende Variante.

Ein mittels Kapazitätsdiode abgestimmter Oszillator erzeugt die gewünschte Hochfrequenz. Diese wird einem Vorteiler zugeführt (76P57), welcher die Frequenz durch 32 bzw. 33 teilt und an den PLL-Baustein (MC145152) weiterreicht.

Gleichzeitig wird eine Referenzfrequenz (3MHz) einem Teiler durch 30 (MC14569) zugeführt, die daraus erzeugten 100 kHz werden an den Oszillator-In-Eingang des PLL-Bausteins weitergeleitet.

Im PLL-Baustein werden nun einerseits die 100 kHz durch 8 auf 12500 Hz geteilt, andererseits die durch den Vorteiler erzeugten ca. 4,5 MHz nach dem Dual-Modulus-Verfahren ebenfalls auf 12500 Hz geteilt.

Die letzteren 12500 Hz werden im Phasendetektor (Bestandteil des PLL-IC's) auf frequenz- und phasenmäßige Übereinstimmung mit den erstgenannten 12500 Hz überprüft und nötigenfalls durch die an den Phasendetektor-Outputs erzeugten Signale, welche vom externen Loop-Filter in eine Abstimmspannung für die Kapazitätsdiode des VCO umgewandelt werden, durch Abstimmung des VCO zur Übereinstimmung gebracht.

Der vorliegende VCO ist in seiner ursprünglichen Verwendung zur Erzeugung nur einer einzigen Frequenz, nämlich 144,4875 MHz, gebaut. Er kann jedoch durch dementsprechende Beschaltung der sogenannten Channel-Programming-Eingänge des PLL-ICs sehr einfach für andere Frequenzen ausgelegt werden, was im folgenden durch eine genaue Erklärung des Dual-Modulus-Verfahrens inklusive Berechnungsbeispielen dargestellt werden soll.

## Prinzip des Dual-Modulus-Verfahrens

Das Prinzip des Dual-Modulus-Verfahrens besteht darin, daß ein Vorteiler verwendet wird, welcher zwei unterschiedliche Teilerfaktoren nach dem Schema Teilung durch  $n$  und Teilung durch  $n+1$  zur Verfügung stellt. In unserem Fall wird ein IC für Teilung durch 32 und 33 verwendet.

Der PLL-IC beinhaltet drei Teiler.

Der erste Teiler (R-Counter) teilt in unserem Fall durch 8 (100 kHz auf 12500 Hz).

Der zweite Teiler (N-Counter) erledigt die eigentliche Frequenzteilung der durch den externen Dual-Modulus-Teiler gelieferten Frequenz von in unserem Fall ca. 4,5 MHz auf 12500 Hz.

Der dritte Teiler (A-Counter) bestimmt, wie viele Perioden lang der externe Dual-Modulus-Vorteiler durch 33 teilt und schaltet diesen anschliessend mittels des Ausgangs MC (Modulus Count) auf Teilung durch 32 um.

Im vorliegenden Fall geschieht Folgendes:

Der N-Counter ist durch folgende Beschaltung der Eingänge N0 bis N9 auf Teilung durch 361 eingestellt:

N0, N3, N5, N6 und N8 auf High (restliche auf Low) ergibt  $1 + 8 + 32 + 64 + 256 = 361$ .

Der A-Counter ist durch folgende Beschaltung der Eingänge A0 bis A5 auf Teilung durch 7 eingestellt:

A0, A1 und A2 auf High (restliche auf Low) ergibt  $1 + 2 + 4 = 7$ .

Am Beginn der Teilung wird der Ausgang MC Low (Vorteiler wird auf Teilung durch 33 geschaltet).

7 mal wird die HF von 144587500 Hz durch 33 geteilt. Das bedeutet, am Ausgang des Vorteilers bzw. f-in-Eingang des PLL-ICs kommen 7 Impulse an, währenddessen 7 mal  $33 = 231$  Impulse am Eingang des Vorteilers waren.

Nach diesen 7 Impulsen veranlaßt der A-Counter die Umschaltung auf Teilung durch 32.

Jetzt wird  $361 - 7 = 354$  Impulse lang die HF durch 32 geteilt, was am Ausgang des Vorteilers eben diese 354 Impulse ergibt, währenddessen am Eingang des Vorteilers  $354 \text{ mal } 32 = 11328$  Impulse waren.

Zusammen ergibt das  $7 + 354 = 361$  Impulse am Eingang des PLL-ICs, während  $231 + 11328 = 11559$  Impulsen der HF am Eingang des Vorteilers.

Das ergibt nun eine Frequenz von  $144487500 \text{ durch } 11559 = 12500 \text{ Hz}$  am Ausgang des N-Counters, welche nun mit den  $100000 \text{ Hz durch } 8 = 12500 \text{ Hz}$  am Ausgang des R-Counter verglichen werden, womit der Kreislauf geschlossen wäre.

## Umrüsten für andere Frequenzen:

Auf Grund der verwendeten Frequenzen und Teilerfaktoren ergibt sich folgende Zuordnung:

Die niedrigste erreichbare Frequenz ist 12500 Hz mal 32 = 400 kHz

Die höchste (theoretische durch die PLL erzielbare) Frequenz wäre 409,987500 MHz, was aber bereits durch den verwendeten Vorteiler auf ca. 250 MHz begrenzt wird.

Die gewünschte Frequenz muß im 12,5-kHz-Raster liegen (muß durch 12500 teilbar sein)

### Beispiel 1:

Gewünschte Frequenz:	144.487.500 Hz
Division durch 12500 =	11.559 Gesamt-Teilungen
Division durch 32 =	361,21875
Ganzzahl =	361 Teilerfaktor N-Counter
Multipliziert mit 32 =	11.552 Teilungen durch 32
Gesamt-Teilungen - Teilungen/32 =	7 Teilerfaktor A-Counter

### Beispiel 2:

Gewünschte Frequenz:	200.000.000 Hz
Division durch 12500 =	16.000 Gesamt-Teilungen
Division durch 32 =	500,00000
Ganzzahl =	500 Teilerfaktor N-Counter
Multipliziert mit 32 =	16.000 Teilungen durch 32
Gesamt-Teilungen - Teilungen/32 =	0 Teilerfaktor A-Counter

### Beispiel 3:

Gewünschte Frequenz:	145.775.000 Hz
Division durch 12500 =	11.662 Gesamt-Teilungen
Division durch 32 =	364,43750
Ganzzahl =	364 Teilerfaktor N-Counter
Multipliziert mit 32 =	11.648 Teilungen durch 32
Gesamt-Teilungen - Teilungen/32 =	14 Teilerfaktor A-Counter

### Beispiel 4:

Gewünschte Frequenz:	103.200.000 Hz
Division durch 12500 =	8.256 Gesamt-Teilungen
Division durch 32 =	258,00000
Ganzzahl =	258 Teilerfaktor N-Counter
Multipliziert mit 32 =	8.256 Teilungen durch 32
Gesamt-Teilungen - Teilungen/32 =	0 Teilerfaktor A-Counter

## Belegung der Counter-Eingänge N0 bis N9 und A0 bis A5:

Jeder Counter-Eingang hat eine Wertigkeit, welche in der Spalte Wertigkeit angegeben ist. Man schaut, ob die erste Wertigkeit (512 für den N-Counter und 32 für den A-Counter) im Teilerfaktor enthalten ist. Wenn ja, kommt in die Spalte "1 = High" eine 1, was bedeutet, daß der dementsprechende Eingang des PLL-ICs "in die Luft gehängt" wird. Durch die internen Pull-Up-Widerstände des ICs sind diese Eingänge dann High. Andernfalls wird dieser Eingang auf Masse gelegt.

War die Wertigkeit im Teilerfaktor enthalten, wird die Wertigkeit vom Teilerfaktor subtrahiert und der Rest daruntergeschrieben, andernfalls bleibt der Wert gleich. Anschliessend wird mit dem jeweiligen Rest Zeile für Zeile bis zur Wertigkeit weiterverfahren, bis man alle Wertigkeiten bis zur 1 durch hat.

Dies wird sowohl mit dem Wert für den N-Counter als auch mit dem Wert für den A-Counter durchgeführt. Ist der Wert für den A-Counter 0, dann bedeutet dies, daß alle Eingänge des A-Counters auf Masse gelegt werden.

Nachfolgend ist das Beispiel für die Frequenz 144487500 Hz mit den Teilerfaktoren 361 und 7 aufgeführt:

Pin	Wertigkeit	1 = High	Rest	
			<div style="border: 1px solid black; padding: 2px;">361</div>	Teilerfaktor N-Counter
N9	512	0	361	
N8	256	1	105	
N7	128	0	105	
N6	64	1	41	
N5	32	1	9	
N4	16	0	9	
N3	8	1	1	
N2	4	0	1	
N1	2	0	1	
N0	1	1	0	
				7 Teilerfaktor A-Counter
A5	32	0	7	
A4	16	0	7	
A3	8	0	7	
A2	4	1	3	
A1	2	1	1	
A0	1	1	0	

## Es geht aber auch einfacher:

Man kann den diversen Countereingängen auch folgende Frequenzschritte zuordnen.

N9	204,8 MHz	204.800.000	Originalbeschaltung:
N8	102,4 MHz	102.400.000	Low
N7	51,2 MHz	51.200.000	High 102.400.000
N6	25,6 MHz	25.600.000	Low
N5	12,8 MHz	12.800.000	High 25.600.000
N4	6,4 MHz	6.400.000	High 12.800.000
N3	3,2 MHz	3.200.000	Low
N2	1,6 MHz	1.600.000	High 3.200.000
N1	800 kHz	800.000	Low
N0	400 kHz	400.000	High 400.000
A5	400 kHz	400.000	Low
A4	200 kHz	200.000	Low
A3	100 kHz	100.000	Low
A2	50 kHz	50.000	High 50.000
A1	25 kHz	25.000	High 25.000
A0	12,5 kHz	12.500	High 12.500
		409.987.500	144.487.500

## Noch einiges Andere zum VCO:

Stromaufnahme 15 Volt: Ca. 100 mA, Stromaufnahme 5 Volt: Ca. 10 mA.

Ausgangsspannung der HF an den beiden Buchsen: Ca. +10 dBm, was 10 Milliwatt an 50 Ohm entspricht. Wird die Schaltung statt mit 15 Volt mit 12 Volt betrieben, verringert sich die Ausgangsspannung um ca. 5 dB auf rund 3 Milliwatt (und natürlich auch die max Frequenz des VCO).

Bei einem von mir ausgemessenen VCO ergaben sich folgende Frequenzen:

Trimmkondensator min. Kapazität, Abstimmungspg. 15 Volt:	161,4 MHz
Trimmkondensator min. Kapazität, Abstimmungspg. 0 Volt:	149,0 MHz
Trimmkondensator max. Kapazität, Abstimmungspg. 15 Volt:	141,0 MHz
Trimmkondensator max. Kapazität, Abstimmungspg. 0 Volt:	139,5 MHz

Der VCO läßt sich relativ einfach für andere Frequenzbereiche umbauen, am einfachsten durch Ersetzen der Induktivität oder durch Hinzufügen einer zusätzlichen Kapazität (je nach gewünschter Richtung der Frequenzänderung). Von mir wurde eine Frequenz von 200 MHz benötigt. Dies erreichte ich durch den Austausch der vergossenen Originalspule durch eine Luftspule mit 5 mm Durchmesser und 3 Windungen. Die nötige Abstimmung erfolgte durch Auseinanderbiegen der Spulenwindungen (ideale Einstellung ist gegeben, wenn die gewünschte Frequenz bzw. Mittenfrequenz bei einer Abstimmungsspannung von ca. 5 bis 7 Volt erreicht wird). Bezüglich des Trimmkondensators ist zu sagen, daß ein wesentlich größerer Abstimmungsbereich des VCO bei möglichst kleiner Kapazität gegeben ist, da dann die Kapazitätsdiode größtmöglichen Einfluß auf den Frequenzbereich des VCO hat. Siehe dazu auch obenstehende Frequenzangaben.

Wenn man den VCO für höhere als die ursprüngliche Frequenz benötigt, ist zu bedenken, daß dann unter Umständen auch der zwischen dem letzten Transistor und den beiden Ausgangsbuchsen befindliche Tiefpass geändert werden muß, um maximale Ausgangsspannung zu erhalten.

Der Vorteiler-IC 76P57 ist meiner Meinung nach mit dem Typ MC12015 identisch (zumindest hat er die gleiche Pin-Belegung und die gleichen Teilerfaktoren), gleichwertig zu diesem ist wiederum der DS8615-2 von National. Zu diesen beiden Typen findet man auch die Datenblätter im Internet.